

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150264

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H01L 29/778

H01L 21/338

H01L 29/812

H01L 21/337

H01L 29/808

(21)Application number : 10-258989

(71)Applicant : SONY CORP.

(22)Date of filing : 11.09.1998

(72)Inventor : HASE ICHIRO
NAKAMURA MITSUHIRO
KAWASAKI HIDETOSHI
WADA SHINICHI
TSUKAMOTO HIRONORI

(30)Priority

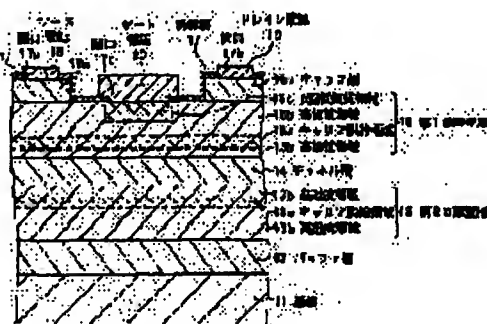
Priority number : 09249217 Priority date : 12.09.1997 Priority country : JP

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND RADIO COMMUNICATION APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a product easy of a single positive power source operation and superior in linearity of mutual conductance and source-gate capacitance with respect to the gate voltage.

SOLUTION: On a substrate 11 are laminated a second AlGaAs barrier layer 13, an InGaAs channel layer 14 and a first AlGaAs barrier layer 15 consisting of a carrier supply region 15a containing an n-type impurity, a high resistance region 15b containing no impurity and p-type low resistance region 15c containing p-type impurity. The latter region 15c is embedded in the high resistance region 15b by diffusing the impurity to contact a gate electrode 20. When a positive voltage is applied to the gate electrode 20, a carrier depleted region disappears in the channel layer 14 and no parasitic resistance component remains. The low resistance region 15c may be formed through the epitaxial growth.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150264

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/778

H 0 1 L 29/80

H

21/338

C

29/812

21/337

29/808

審査請求 未請求 請求項の数30 O L (全 19 頁)

(21) 出願番号 特願平10-258989

(71) 出願人 000002185

(22) 出願日 平成10年(1998) 9月11日

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(31) 優先権主張番号 特願平9-249217

(72) 発明者 長谷 伊知郎

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

(32) 優先日 平 9 (1997) 9 月 12 日

株式会社内

(33) 優先権主張国 日本 (J P)

(72) 発明者 中村 光宏

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

株式会社内

(72) 発明者 川▲崎▼ 英俊

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

株式会社内

(74) 代理人 弁理士 藤島 洋一郎

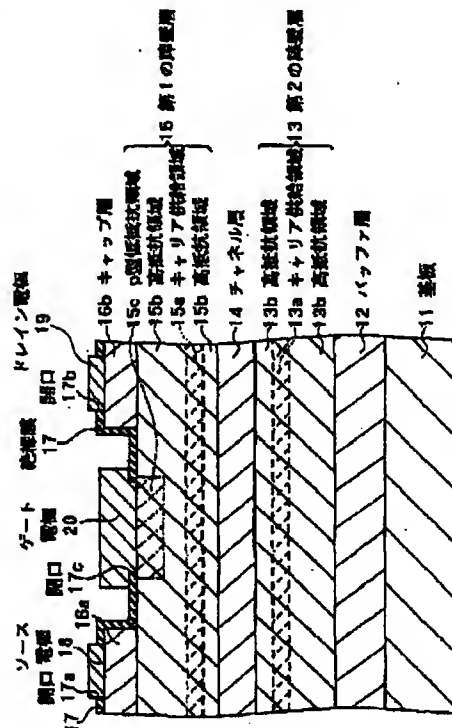
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法ならびに無線通信装置

(57) 【要約】

【課題】 単一正電源動作が容易で、かつ、相互コンダクタンスおよびソース・ゲート間容量のゲート電圧に対する線形性に優れた半導体装置およびその製造方法ならびに無線通信装置を提供する。

【解決手段】 基板 11 の上に AlGaAs よりなる第 2 の障壁層 13、InGaAs よりなるチャネル層 14、AlGaAs よりなる第 1 の障壁層 15 を順次積層する。第 1 の障壁層 15 は、n 型不純物を含むキャリア供給領域 15a と不純物を含まない高抵抗領域 15b と p 型不純物を含む p 型低抵抗領域 15c とからなる。p 型低抵抗領域 15c は不純物の拡散により高抵抗領域 15b に埋め込まれゲート電極 20 に接して形成される。ゲート電極 20 に正電圧を印加するとチャネル層 14 におけるキャリア欠乏領域は消滅し、寄生抵抗成分は残存しない。p 型低抵抗領域はエピタキシャル成長により形成してもよい。



【特許請求の範囲】

【請求項1】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体装置であって、ソース電極とドレイン電極との間の電流通路であり半導体よりなるチャンネル層と、

このチャンネル層とゲート電極との間に形成されると共に、前記チャンネル層を構成する半導体よりも広いバンドギャップを有する高抵抗の半導体よりなる高抵抗領域と、ゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗領域とを有する第1の障壁層とを備えたことを特徴とする半導体装置。

【請求項2】 前記第1の障壁層における第1導電型低抵抗領域は、ソース電極とドレイン電極との間の領域に対応して設けられたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の障壁層における第1導電型低抵抗領域は、前記第1の障壁層における高抵抗領域とゲート電極との間に位置することを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第1の障壁層における第1導電型低抵抗領域は、高抵抗領域に対して埋め込まれていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第1の障壁層における第1導電型低抵抗領域は、第1導電型不純物が拡散することにより形成されたことを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第1の障壁層における第1導電型低抵抗領域は、高抵抗領域よりもゲート電極の側に突出していることを特徴とする請求項1記載の半導体装置。

【請求項7】 前記第1の障壁層における第1導電型低抵抗領域は、エピタキシャル成長により形成されたことを特徴とする請求項1記載の半導体装置。

【請求項8】 前記第1の障壁層における第1導電型低抵抗領域の第1導電型不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1記載の半導体装置。

【請求項9】 前記第1の障壁層における高抵抗領域の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、比抵抗は $1 \times 10^{-3} \Omega \text{ cm}$ 以上であることを特徴とする請求項1記載の半導体装置。

【請求項10】 前記第1の障壁層は、更に、第2導電型不純物を含むキャリア供給領域を有することを特徴とする請求項1記載の半導体装置。

【請求項11】 前記第1の障壁層はIII-V族化合物半導体であるAlGaAs混晶よりなり、前記チャンネル層はIII-V族化合物半導体であるInGaAs混晶よりなることを特徴とする請求項1記載の半導体装置。

【請求項12】 前記第1の障壁層を構成するAlGaAs混晶は、III族元素におけるアルミニウムの組成比が0.25以下であることを特徴とする請求項11記

載の半導体装置。

【請求項13】 前記チャンネル層を構成するInGaAs混晶は、III族元素におけるインジウムの組成比が0.1以上であることを特徴とする請求項1記載の半導体装置。

【請求項14】 前記第1の障壁層における第1導電型低抵抗領域は、ベリリウム、炭素および亜鉛からなるうちの少なくとも1種を第1導電型不純物として含むことを特徴とする請求項1記載の半導体装置。

【請求項15】 前記第1の障壁層における第1導電型低抵抗領域は、第1導電型不純物である亜鉛が拡散することにより形成されたことを特徴とする請求項1記載の半導体装置。

【請求項16】 更に、前記チャンネル層における前記第1の障壁層と反対側に、前記チャンネル層を構成する半導体よりも広いバンドギャップを有する半導体よりなる第2の障壁層を備えたことを特徴とする請求項1記載の半導体装置。

【請求項17】 前記第2の障壁層は、少なくとも一部に、第2導電型不純物を含むキャリア供給領域を有することを特徴とする請求項16記載の半導体装置。

【請求項18】 前記第1の障壁層および前記第2の障壁層はIII-V族化合物半導体であるAlGaAs混晶よりなり、前記チャンネル層はIII-V族化合物半導体であるInGaAs混晶よりなることを特徴とする請求項16記載の半導体装置。

【請求項19】 更に、前記チャンネル層と前記第1の障壁層との間に、前記第1の障壁層を構成する半導体よりも広いバンドギャップを有する半導体よりなる第3の障壁層を備えたことを特徴とする請求項1記載の半導体装置。

【請求項20】 前記第3の障壁層は、少なくとも一部に、第2導電型不純物を含むキャリア供給領域を有することを特徴とする請求項19記載の半導体装置。

【請求項21】 前記第1の障壁層はIII-V族化合物半導体であるGaAsよりなり、前記チャンネル層はIII-V族化合物半導体であるInGaAs混晶よりなり、前記第3の障壁層はIII-V族化合物半導体であるAlGaAs混晶よりなることを特徴とする請求項19記載の半導体装置。

【請求項22】 前記第1の障壁層における第1導電型低抵抗領域は、ベリリウム、炭素および亜鉛からなるうちの少なくとも1種を第1導電型不純物として含むことを特徴とする請求項21記載の半導体装置。

【請求項23】 前記第1の障壁層における第1導電型低抵抗領域は、第1導電型不純物である亜鉛が拡散することにより形成されたことを特徴とする請求項21記載の半導体装置。

【請求項24】 前記チャンネル層は第2導電型不純物を含むことを特徴とする請求項1記載の半導体装置。

10

20

30

40

50

【請求項25】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体装置の製造方法であって、ソース電極とドレイン電極との間の電流通路として半導体よりなるチャンネル層を形成する工程と、チャンネル層とゲート電極との間に、チャンネル層を構成する半導体よりも広いバンドギャップを有する高抵抗の半導体よりなる高抵抗領域と、ゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗領域とを有する第1の障壁層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項26】 高抵抗領域を形成したのち、その一部に第1導電型不純物を拡散させることにより第1導電型低抵抗領域を形成し、第1の障壁層を形成することを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】 エピタキシャル成長により第1導電型不純物を添加した第1導電型低抵抗領域を形成することを特徴とする請求項25記載の半導体装置の製造方法。

【請求項28】 第1導電型低抵抗領域を形成したのち、第1導電型低抵抗領域の間に挟むようにソース電極とドレイン電極とをそれぞれ形成することを特徴とする請求項25記載の半導体装置の製造方法。

【請求項29】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体装置を用いた無線通信装置であって、

前記半導体装置は、ソース電極とドレイン電極との間の電流通路であり半導体よりなるチャンネル層と、このチャンネル層とゲート電極との間に形成されると共に、チャンネル層を構成する半導体よりも広いバンドギャップを有する高抵抗の半導体よりなる高抵抗領域およびゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗領域を有する第1の障壁層とを備えることを特徴とする無線通信装置。

【請求項30】 通信周波数がUHF帯以上であることを特徴とする請求項29記載の無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソース電極とドレイン電極との間にゲート電極が設けられた半導体装置およびその製造方法ならびにそれを用いた無線通信装置に係り、特に、ゲート電極とチャンネル層との間に障壁層を備えた半導体装置およびその製造方法ならびにそれを用いた無線通信装置に関する。

【0002】

【従来の技術】近年、PHS (Personal Handiphone System) 方式などの移動体通信システムにおいては、携帯通信端末の小型化および低消費電力化が強く求められている。これらを実現するためには、例えば送信用パワーアンプに関し、単一正電源での動作が可能であること、より低電圧での駆動が可能であること、より駆動効率が高いことなどが必要である。

【0003】現在、このようなパワーアンプ用として実用化されているデバイスには、接合形電界効果トランジスタ (JFET; Junction Field Effect Transistor)、ショットキーバリアゲート電界効果トランジスタ (MESFET; Metal-Semiconductor Field Effect Transistor) およびヘテロ接合形電界効果トランジスタ (HFET; Heterojunction Field Effect Transistor) などがある。

【0004】このうち、JFETはpn接合を利用して電流変調を行うものである。図19にJFETの一構成例を示す。このJFETは、半絶縁性単結晶GaAsよりなる基板11の上に、直接あるいはp型のGaAsよりなるp型層541を介してn型のGaAsよりなるチャンネル層514が形成されており、このチャンネル層514に接してp型のGaAsよりなるp型領域542が形成されている。p型領域542にはゲート電極20が接している。このJFETでは、p型領域542とチャンネル層514との界面に空乏層543が形成されており、ゲート電極20に電圧を印加するとソース電極18とドレイン電極19との間 (チャンネル層414) を流れる電流が変調される。

【0005】また、MESFETはショットキー接合を利用して電流変調を行うものである。図20にMESFETの一構成例を示す。このMESFETは、図19に示したJFETからp型領域542が削除され、チャンネル層614の上に空乏層643を介してゲート電極20が形成されており、ゲート電極20に電圧を印加するとソース電極18とドレイン電極19との間 (チャンネル層614) を流れる電流が変調される。また、MESFETでは、一般に、図20に示したように、ゲート電極20の近傍におけるチャンネル層614の厚さを薄くするリセス構造とされることが多い。

【0006】更に、HFETはヘテロ接合を利用して電流変調を行うものである。図21にHFETの一構成例を示す。このHFETは、半絶縁性単結晶GaAs基板11の上に、GaAsよりなるバッファ層12を介して、AlGaAsよりなる第2の障壁層13と、InGaAsよりなるチャンネル層14と、AlGaAsよりなる第1の障壁層715とが順次積層されており、第1の障壁層715の上にはゲート電極20が形成されている。各障壁層13、715はn型不純物を含むキャリア供給領域13a、15aを高抵抗領域13b、15bの中にそれぞれ有しており、ゲート電極20に電圧を印加するとソース電極18とドレイン電極19との間 (チャンネル層14) を流れる電流が変調される。また、HFETでは、一般に、図21に示したように、第1の障壁層715の厚さをゲート電極20の近傍で薄くするリセス構造とすることが多く、第1の障壁層715のうち厚さが薄いリセス領域の直下に該当するチャンネル層14の領域 (図21において梨地で示した領域) には、キャリア

が空乏化したあるいはチャネル層における他の領域に比べてキャリアが欠乏したキャリア欠乏領域14aが形成される。

【0007】

【発明が解決しようとする課題】これらの各FETは、それぞれ優れた特徴を有するものの問題点もそれぞれ有している。例えばJFETは、pn接合を用いているので、ビルトイン電圧が1.4Vと大きく1V以上の正電圧を印加することが容易であると共に、MESFETおよびHFETとは異なり、後述するようないわゆる寄生ソース抵抗（ソース電極18とゲート電極20との間の抵抗）が増大しないという優れた特徴を有している。よって、ソース電極18とドレイン電極19との間およびソース電極18とゲート電極20との間の双方に正電圧を印加する単一正電源により容易に動作させることができる。

【0008】しかしながら、JFETは、ゲート電極20に電圧を印加すると空乏層543が伸び縮みしpn接合面が移動するので、ゲート電極20とソース電極18との間の容量（ゲート・ソース間容量） C_{gs} および相互コンダクタンス G_m がゲート電圧 V_g により大きく変化してしまうという問題があった。すなわち、ゲート・ソース間容量 C_{gs} および相互コンダクタンス G_m のゲート電圧 V_g に対する線形性が良好でなく、それにより電力付加効率が制限されていた。

【0009】また、MESFETも、JFETと同様に、ゲート電極20に正負の電圧を印加することで空乏層643が伸縮するので、原理的にゲート・ソース間容量 C_{gs} および相互コンダクタンス G_m のゲート電圧 V_g に対する線形性が不十分であるという問題があった。更に、MESFETは、JFETと異なり、ビルトイン電圧が約0.7Vと小さく、ゲート電極20に1V以上の正電圧を印加することが困難であるという問題もあった。加えて、特に閾値電圧 V_{th} の浅いMESFETでは、ゲート電極20に正電圧を印加した場合、チャネル層614のうち厚さが薄くなっているリセス領域のうちゲート電極20で覆われていない部分の直下の領域（図20において梨地で示した領域）が高抵抗領域として残りやすく、いわゆるソース抵抗が大きくなってしまいう問題もあった。そのため、チャネルのオン抵抗 R_{on} が大きくなり、最大ドレイン電流 I_{dmax} を大きくできず、電力付加効率が制限されていた。すなわち、MESFETでは、以上のような理由から単一正電源により動作させることが困難であった。

【0010】一方、HFETは、JFETやMESFETとは異なり、ゲート電圧20に正電圧を印加することでチャネル層14にキャリアが蓄積されるので、原理的にゲート・ソース間容量 C_{gs} および相互コンダクタンス G_m のゲート電圧 V_g に対する線形性に優れるという特徴を有している。

【0011】しかしながら、HFETも、MESFETと同様に、ゲート電極20に1.0V程度の正電圧を印加しても、キャリア欠乏領域のうちゲート電極20で覆われていないリセス領域の直下の領域（図22において梨地で示した領域）においてキャリアが欠乏したままの状態であり、この領域の抵抗 R_{rec} が寄生抵抗成分となってしまうという問題があった。よって、MESFETと同様に、電力付加効率が制限され、単一正電源により動作させることが困難であった。

【0012】このように、従来のFETには、単一正電源で容易に動作させることができると共に、ゲート・ソース間容量 C_{gs} および相互コンダクタンス G_m のゲート電圧 V_g に対する線形性に優れ、高い効率を有するという両方の特性を備えたものはなかった。

【0013】本発明はかかる問題点に鑑みてなされたもので、その目的は、単一電源で容易に動作させることができ、かつ、相互コンダクタンス G_m およびソース・ゲート間容量 C_{gs} のゲート電圧 V_g に対する線形性に優れた半導体装置およびその製造方法ならびにそれを用いた無線通信装置を提供することにある。

【0014】

【課題を解決するための手段】本発明による半導体装置は、ソース電極とドレイン電極との間にゲート電極が設けられたものであって、ソース電極とドレイン電極との間の電流通路であり半導体よりなるチャネル層と、このチャネル層とゲート電極との間に形成されると共に、チャネル層を構成する半導体よりも広いバンドギャップを有する高抵抗の半導体よりなる高抵抗領域と、ゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗領域とを有する第1の障壁層とを備えたものである。

【0015】本発明による半導体装置の製造方法は、ソース電極とドレイン電極との間にゲート電極が設けられた半導体装置を製造するものであって、ソース電極とドレイン電極との間の電流通路として半導体よりなるチャネル層を形成する工程と、チャネル層とゲート電極との間に、チャネル層を構成する半導体よりも広いバンドギャップを有する高抵抗の半導体よりなる高抵抗領域と、ゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗領域とを有する第1の障壁層を形成する工程とを含むものである。

【0016】本発明による無線通信装置は、ソース電極とドレイン電極との間にゲート電極が設けられた半導体装置を用いたものであって、半導体装置は、ソース電極とドレイン電極との間の電流通路であり半導体よりなるチャネル層と、このチャネル層とゲート電極との間に形成されると共に、チャネル層を構成する半導体よりも広いバンドギャップを有する高抵抗の半導体よりなる高抵抗領域およびゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗

10

20

30

40

50

領域を有する第1の障壁層とを備えたものである。

【0017】本発明による半導体装置では、ゲート電極に電圧が印加されると、第1の障壁層の第1導電型低抵抗領域に対応してチャンネル層に形成されたキャリア欠乏領域が拡大または縮小される。ここでは、第1の障壁層に第1導電型低抵抗領域を設けているので、チャンネル層に寄生抵抗成分が残存しない。また、ビルトイン電圧が大きく、ゲート電極への大きな電圧の印加が可能になる。

【0018】本発明による半導体装置の製造方法では、ソース電極とドレイン電極との間の電流通路として半導体よりなるチャンネル層が形成される。また、チャンネル層とゲート電極との間に、チャンネル層を構成する半導体よりも広いバンドギャップを有する半導体よりなり低濃度の不純物を含むあるいは不純物を含まない高抵抗の高抵抗領域と、ゲート電極に対応して設けられ高濃度の第1導電型不純物を含む半導体よりなる第1導電型低抵抗領域とを有する第1の障壁層が形成される。

【0019】本発明による無線通信装置は本発明の半導体装置を用いたものであり、チャンネル層に寄生抵抗成分が残存せず、ゲート電極への大きな電圧の印加が可能である。よって、単一電源での動作が可能であり、高い駆動効率を有する。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】(第1の実施の形態) 図1は、本発明の第1の実施の形態に係る半導体装置の構造を表すものである。この半導体装置は、例えば、半絶縁性の単結晶GaAsよりなる基板11の一面に、不純物を添加しないu-GaAs (uは不純物を添加していないことを表す; 以下同じ) よりなるバッファ層12を介して、III-V族化合物半導体よりそれぞれなる第2の障壁層13、チャンネル層14および第1の障壁層15が順次積層されている。第1の障壁層15の基板11と反対側には、適宜な間隔を開けてキャップ層16a、16bがそれぞれ形成されており、これらキャップ層16a、16bおよび第1の障壁層15の基板11と反対側には絶縁膜17が形成されている。

【0022】この絶縁膜17にはキャップ層16aに対応して開口17aが設けられており、この開口17aを介してキャップ層16aの反対側にソース電極18が形成されている。また、絶縁膜17にはキャップ層16bに対応して開口17bが設けられており、この開口17bを介してキャップ層16bの反対側にドレイン電極19が形成されている。更に、絶縁膜17には第1の障壁層15に対応して開口17cが設けられており、この開口17cを介して第1の障壁層15の反対側にはソース電極18とドレイン電極19との間にゲート電極20が形成されている。

【0023】第2の障壁層13は、チャンネル層14を構成するIII-V族化合物半導体よりも広いバンドギャップを有するIII-V族化合物半導体により構成されている。バンドギャップが広いIII-V族化合物半導体としてはAlGaAs混晶などがあり、この第2の障壁層13は、例えば、III族元素におけるアルミニウム(Al)の組成比が0.2のAl_{0.2}Ga_{0.8}As混晶により構成されている。

【0024】この第2の障壁層13は、また、第2導電型不純物であるn型不純物を高濃度を含むキャリア供給領域13aと、高抵抗の高抵抗領域13bとを有している。この高抵抗領域13bは、低濃度のn型不純物あるいは第1導電型不純物であるp型不純物を含んでいてもよく、またn型不純物およびp型不純物を含んでいなくてもよい。ここにおいて第2の障壁層13は、例えば、厚さが200nmの不純物を添加しない高抵抗領域13bと、厚さが4nmでありn型不純物としてシリコンを1.6×10¹²cm⁻³程度添加したキャリア供給領域13aと、厚さが2nmの不純物を添加しない高抵抗領域13bとが基板11側から順次積層された構造を有している。なお、第2の障壁層13は、高抵抗領域13bを有していなくてもよく、全領域がキャリア供給領域13aとされていてもよい。

【0025】チャンネル層14は、ソース電極18とドレイン電極19との間の電流通路であり、第2の障壁層13および第1の障壁層15をそれぞれ構成する各III-V族化合物半導体よりも狭いバンドギャップを有するIII-V族化合物半導体により構成されている。バンドギャップが狭いIII-V族化合物半導体としてはInGaAs混晶などがあり、このチャンネル層14は、例えば、III族元素におけるインジウム(In)の組成比が0.2の不純物を添加しないu-In_{0.2}Ga_{0.8}As混晶により構成されている。これにより、チャンネル層14には、第2の障壁層13のキャリア供給領域13aおよび後述する第1の障壁層15のキャリア供給領域15aから供給されたキャリアが蓄積されるようになっていく。

【0026】ちなみに、チャンネル層14をInGaAs混晶により構成する場合には、III族元素におけるインジウムの組成比を0.1以上とすることが好ましい。インジウムの組成比を高くするほどバンドギャップを狭くできるので、インジウムの組成比を0.1以上とすれば、第2の障壁層13とチャンネル層14との間および第1の障壁層15とチャンネル層14との間における各バンドギャップの差をそれぞれ十分に大きくすることができるからである。また、チャンネル層14の厚さは、15nm以下であることが好ましい。厚くすると、チャンネル層14の結晶性が低下してしまうからである。

【0027】第1の障壁層15は、チャンネル層14を構成するIII-V族化合物半導体よりも広いバンドギャ

ップを有するIII-V族化合物半導体により構成されている。例えば、この第1の障壁層15は、III族元素におけるアルミニウムの組成比が0.2のAl_{0.2}Ga_{0.8}As混晶により構成されている。ちなみに、第1の障壁層15をAlGaAs混晶により構成する場合には、III族元素におけるアルミニウムの組成比を0.25以下とすることが好ましい。アルミニウムの組成比が高くなるといわゆるソース抵抗が大きくなってしまいと共に、後述するp型低抵抗領域15cをp型不純物の拡散により形成する際に拡散速度が速くなり制御性が悪

【0028】なお、ここでは、第2の障壁層13と第1の障壁層15とを同一組成のAl_{0.2}Ga_{0.8}As混晶によりそれぞれ構成するようにしたが、互いに異なった組成のAlGaAs混晶によりそれぞれ構成するようにしてもよい。第1の障壁層15はIII族元素におけるアルミニウムの組成比が0.25以下であることが好ましいが、第2の障壁層13においてはp型不純物の拡散によりp型低抵抗領域を形成する必要がないので、第1の障壁層15に比べてアルミニウムの組成比が少し高い方が好ましい場合もあるからである。

【0029】第1の障壁層15は、また、高濃度のn型不純物を含むキャリア供給領域15aと、高抵抗の高抵抗領域15bと、高濃度のp型不純物を含みソース電極18とドレイン電極19との間の領域においてゲート電極20に対応して設けられた第1導電型低抵抗領域としてのp型低抵抗領域15cとを有している。高抵抗領域15bは、低濃度のn型不純物あるいはp型不純物を含んでいてもよく、またn型不純物およびp型不純物を含んでいなくてもよい。

【0030】ここにおいて第1の障壁層15は、例えば、厚さが2nmの不純物を添加しない高抵抗領域15bと、厚さが4nmでありn型不純物としてシリコンを $1.6 \times 10^{18} \text{ cm}^{-3}$ 程度添加したキャリア供給領域15aと、厚さが75nmの不純物を添加しない高抵抗領域15bとがチャネル層14側から順次積層されると共に、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度のp型不純物濃度を有するp型低抵抗領域15cがゲート電極20に接して高抵抗領域15bに埋め込まれた構造となっている。このp型低抵抗領域15cは、ゲート電極20と高抵抗領域15bとの間に位置しており、例えば、p型不純物である亜鉛(Zn)が高抵抗領域15bの一部に拡散することにより形成されたものである。

【0031】ちなみに、高抵抗領域13b、15bにおける不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましく、比抵抗は $1 \times 10^{-2} \Omega \text{ cm}$ 以上であることが好ましい。また、p型低抵抗領域15cにおけるp型不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが好ましい。

【0032】キャップ層16a、16bは、例えば、厚さがそれぞれ50nmであり、n型不純物としてシリコ

ンを $4 \times 10^{18} \text{ cm}^{-3}$ 程度添加したGaAsによりそれぞれ構成されている。これらキャップ層16a、16bは、第1の障壁層15のうちp型低抵抗領域15cが設けられていない高抵抗領域15bに対応してそれぞれ形成されている。絶縁膜17は、例えば、厚さが200nmの窒化珪素(Si₃N₄)により構成されている。ソース電極18およびドレイン電極19は、基板11側からAuGe、ニッケル(Ni)および金(Au)を順次積層して合金化したものにより構成されており、キャップ層16a、16bとそれぞれオーミック接続している。ソース電極18およびドレイン電極19の各厚さは、例えば、それぞれ4nmである。ゲート電極20は、基板11側からチタン(Ti)、白金(Pt)および金を順次積層した構成となっている。

【0033】図2および図3は、この半導体装置のゲート電極20下におけるエネルギーバンド構成を表すものである。図2はゲート電圧V_gを印加していない状態のものであり、図3は1.2V以上のゲート電圧V_gを印加した状態のものである。なお、図2および図3では、第2の障壁層13および第1の障壁層15をAl_{0.2}Ga_{0.8}As混晶によりそれぞれ構成し、チャネル層14をIn_{0.2}Ga_{0.8}As混晶により構成した場合について表している。

【0034】この半導体装置は、第1の障壁層15にp型低抵抗領域15cが設けられており、ショットキー障壁を用いる場合に比べてビルトイン電圧が大きく、ゲート電極20に大きな正電圧を印加することができるようになっている。また、第1の障壁層15が広いバンドギャップを有する半導体(ここでは約1.67eVのバンドギャップを有するAl_{0.2}Ga_{0.8}As混晶)により構成されており、図3に示したように、ゲート電圧V_gを例えば1.2V以上印加しても、チャネル層14から見たゲート電極20方向の障壁は、ゲートリーク電流を抑制するに十分な高さを保つことができるようになっている。

【0035】更に、チャネル層14と第1の障壁層15との伝導帯端の不連続量ΔE_cが十分に大きく(ここでは0.31eV)、第1の障壁層15のポテンシャル極小点とチャネル層14内におけるキャリア(ここでは電子)のフェルミ準位の差も十分に大きく(ここでは0.20eV以上)なるように構成されており、第1の障壁層15内に分布する電子数はチャネル層14内に分布する電子数に比べて無視できる程度に少なくなっている。よって、動作時に第1の障壁層15内を流れる電流量もチャネル層14内を流れる電流量に比べて無視できる程度に少なく、チャネル層14に比べて易動度の低い第1の障壁層15内を電子が走行することによる相互コンダクタンスG_mの劣化が生じないようにしている。この状況はゲート電圧V_gが1.5V程度まで保たれる。

【0036】なお、図4にこの半導体装置のドレイン電

10

20

30

40

50

流 I_d とゲート電圧 V_g との関係を示し、図5に相互コンダクタンス G_m とゲート電圧 V_g との関係を示す。ちなみに、ここでは、第2の障壁層13および第1の障壁層15を $Al_{0.2}Ga_{0.8}As$ 混晶によりそれぞれ構成し、チャネル層14を $In_{0.2}Ga_{0.8}As$ 混晶により構成した場合について示している。

【0037】このように、この半導体装置は、閾値電圧 V_{th} が $-0.5V$ と浅く、 $1.5V$ までゲート電圧 V_g を印加することができ、かつ広い範囲において相互コンダクタンス G_m のゲート電圧 V_g に対する依存性が少ないという特性を有している。相互コンダクタンス G_m とゲート・ソース間容量 C_{gs} との間には、電子速度を V_e とすると、 $G_m = V_e \times C_{gs}$ の関係が成り立つので、ゲート・ソース間容量 C_{gs} のゲート電圧 V_g に対する依存性も少ない。すなわち、従来の JFET と同等またはそれ以上に単一正電源による動作が容易となり、かつ電力付加効率 η が高くなっている。

【0038】また、この半導体装置は次のように動作する。

【0039】この半導体装置では、ここでは浅いデプレッション型なので、ゲート電極20に電圧を印加していない状態 ($V_g = 0$) においては、図6に示したように、第1の障壁層15のp型低抵抗領域15cにより、その直下に該当するチャネル層14の領域に電子が空乏化したあるいはチャネル層14の他の領域に比べて電子が欠乏したキャリア欠乏領域14aが形成されている

(このときのエネルギーバンド構成は図2を参照)。すなわち、チャネル層14は高抵抗の状態にある。

【0040】ここで、ゲート電極20に例えば $1.0V$ 程度の正のゲート電圧 V_g を印加すると、図6において示したキャリア欠乏領域14aは消失し、チャネル層14における電子数が増大し、ドレイン電流 I_d が変調される(このときのエネルギーバンド構成は図3を参照)。すなわち、従来のリセス型HFETにおいては寄生抵抗成分 R_{rec} が増大していたが、この半導体装置ではそのようなことがなくなる。よって、リセス型のHFETと比較して、ゲート電極20に正の電圧を印加した場合に、チャネル層14のオン抵抗 R_{on} が低くなり、最大ドレイン電流 I_{dmax} が大きくなる。その結果、高い電力付加効率 η が得られる。

【0041】なお、エンハンスメント型の場合も同様に考えることができ、上述した説明はよりよく当てはまる。

【0042】このような半導体装置は次のようにして製造することができる。

【0043】図7はその各製造工程を表すものである。まず、図7(a)に示したように、例えばGaAsよりなる基板11の上に、例えば不純物を添加しないu-GaAs層をエピタキシャル成長させてバッファ層12を形成したのち、その上に、例えば不純物を添加しないu-

-AlGaAs層、n型不純物としてシリコンを添加したn型AlGaAs層および不純物を添加しないu-AlGaAs層を順次エピタキシャル成長させて高抵抗領域13b、キャリア供給領域13aおよび高抵抗領域13bを積層した第2の障壁層13を形成する。

【0044】次いで、同じく図7(a)に示したように、その上に、例えば不純物を添加しないu-InGaAs層をエピタキシャル成長させてチャネル層14を形成したのち、その上に、例えば不純物を添加しないu-AlGaAs層、n型不純物としてシリコンを添加したn型AlGaAs層および不純物を添加しないu-AlGaAs層を順次エピタキシャル成長させて第1の障壁層15の高抵抗領域15b、キャリア供給領域15aおよび高抵抗領域15bを形成する。続いて、その上に例えばn型不純物としてシリコンを添加したキャップ層16a、16bとなるn型GaAs層31をエピタキシャル成長させる。

【0045】そののち、図示しないが、メサエッチングにより素子間分離を行う。次いで、図7(b)に示したように、n型GaAs層31をエッチングにより選択的に除去してキャップ層16a、16bをそれぞれ形成し、ゲート電極形成領域において第1の障壁層15の高抵抗領域15bを露出させる。続いて、キャップ層16a、16bおよび第1の障壁層15の高抵抗領域15bの上に、例えばCVD (Chemical Vapor Deposition) 法により窒化珪素膜を蒸着し絶縁膜17を形成する。そののち、絶縁膜17をエッチングにより選択的に除去してゲート電極形成領域に開口17cを開け、例えば $600^\circ C$ 程度の温度でp型不純物である亜鉛を第1の障壁層15の高抵抗領域15bに拡散させてp型低抵抗領域15cを形成する。

【0046】p型低抵抗領域15cを形成したのち、その上に、例えばチタン、白金および金を順次蒸着してパターン形成を行いゲート電極20を形成する。次いで、絶縁膜17をエッチングにより選択的に除去してp型低抵抗領域15cを間に挟むソース電極形成領域およびドレイン電極形成領域に開口17a、17bをそれぞれ開け、その上に、例えばAuGe、ニッケルおよび金を順次蒸着してパターン形成を行う。続いて、例えば $400^\circ C$ 程度の加熱処理により金系合金形成をしてソース電極18およびドレイン電極19をそれぞれ形成し、図1に示した半導体装置を完成させる。

【0047】なお、この半導体装置は、例えば、移動体通信システムなどにおける無線通信装置に好ましく用いられる。この無線通信装置としては、特に、通信周波数がUHF (ultra high frequency) 帯以上であるものが好ましい。

【0048】このように本実施の形態に係る半導体装置によれば、チャネル層14とゲート電極20との間にチャネル層14を構成する半導体よりも広いバンドギャッ

プを有する半導体よりなる第1の障壁層15を備えるようにしたので、相互コンダクタンス G_m およびゲート・ソース間容量 C_{gs} のゲート電圧 V_g に対する依存性が少なく、電力付加効率 η を高くすることができる。

【0049】また、第1の障壁層15にゲート電極20に対応してp型低抵抗領域15cを設けるようにしたので、ビルトイン電圧を高くすることができ、ゲート電極20に大きな正電圧を印加することができる。更に、ゲート電極20に正電圧を印加した場合に、チャンネル層14において寄生抵抗成分 R_{rec} が残存することがなく、チャンネル層14のオン抵抗 R_{on} を低くすることができ、最大ドレイン電流 I_{dmax} を大きくすることができる。よって、正電圧を印加しても高い電力付加効率 η を得ることができる。その結果、単一正電源による動作を容易とすることができる。

【0050】従って、この半導体装置を用いて無線通信装置を構成すれば、無線通信装置の大きさを小さくすることができると共に、その消費電力を少なくすることができる。すなわち、特に、携帯通信端末において、装置の小型化および使用時間の延長が可能となり、携帯を更

に容易とすることができる。
【0051】加えて、ビルトイン電圧が大きいので、従来と同程度の閾値電圧を得るにはキャリア供給領域13a、15aの不純物濃度を高くしなければならず、その結果、いわゆるソース抵抗が低くなり、チャンネル層14のオン抵抗 R_{on} を小さくすることができる。ちなみに、本実施の形態に係る半導体装置と従来のHFEETとで閾値電圧 V_{th} を同一とすると、本半導体装置におけるキャリア供給領域13a、15aの不純物濃度は従来のHFEETにおけるその約2倍となる。

【0052】更にまた、第1の障壁層15をAlGaAs混晶により構成する場合には、従来のGaAsを用いたJFETよりも大きなビルトイン電圧を得ることができ、より高い効果を得ることができる。

【0053】加えてまた、p型低抵抗領域15cが高抵抗領域15bに対して埋め込まれているので、ゲート電極20とドレイン電極19との間の耐圧を向上させることができる。

【0054】更にまた、本実施の形態に係る半導体装置によれば、チャンネル層14とゲート電極20との間にチャンネル層14を構成する半導体よりも広いバンドギャップを有する半導体よりなる高抵抗領域15bを形成すると共に、ゲート電極20に対応して高抵抗領域15bにp型不純物を拡散しp型低抵抗領域15cを形成するようにしたので、本実施の形態に係る半導体装置を容易に製造することができる。

【0055】(第2の実施の形態) 図8は、本発明の第2の実施の形態に係る半導体装置の構成を表すものである。この半導体装置は、第1の実施の形態における第1の障壁層15に代えて第1の障壁層115を備えると共

に、第1の実施の形態に加えてチャンネル層14と障壁層15との間に第3の障壁層121を備えたことを除き、他は第1の実施の形態と同一の構成および効果を有している。よって、第1の実施の形態と同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0056】第1の障壁層115は、第1の実施の形態における第1の障壁層15からキャリア供給領域15aが削除されたことを除き、他は第1の実施の形態における第1の障壁層15と同一の構成を有している。但し、本実施の形態における第1の障壁層115は、例えば、GaAsにより構成されることが好ましい。これは、p型不純物である亜鉛の拡散速度がAlGaAs混晶の中よりもGaAsの中の方が遅いので、p型低濃度領域15cを容易に形成することができるからである。

【0057】第3の障壁層121は、第1の障壁層115を第1の実施の形態よりもバンドギャップの狭いGaAsにより構成してもゲートリーク電流を抑制することができるようにするためのものであり、第1の障壁層115およびチャンネル層14をそれぞれ構成する各III-V族化合物半導体よりも広いバンドギャップを有するIII-V族化合物半導体により構成されている。例えば、この第3の障壁層121は、III族元素におけるアルミニウムの組成比が0.2の $Al_{0.2}Ga_{0.8}As$ 混晶により構成されている。

【0058】また、この第3の障壁層121は、高濃度のn型不純物を含むキャリア供給領域121aと、高抵抗の高抵抗領域121bとを有している。この高抵抗領域121bは、低濃度のn型不純物あるいはp型不純物を含んでいてもよく、またn型不純物およびp型不純物を含んでいなくてもよい。高抵抗領域121bの不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましく、比抵抗は $1 \times 10^{-2} \Omega \text{ cm}$ 以上であることが好ましい。ここにおいて第3の障壁層121は、例えば、厚さが2nmの不純物を添加しない高抵抗領域121bと、厚さが4nmでありn型不純物としてシリコンを $1.6 \times 10^{18} \text{ cm}^{-3}$ 程度添加したキャリア供給領域121aと、厚さが2nmの不純物を添加しない高抵抗領域121bとがチャンネル層14側から順次積層された構造を有している。なお、第3の障壁層121は、高抵抗領域121bを有していなくてもよく、全領域がキャリア供給領域121aとされていてもよい。

【0059】図9はこの半導体装置のゲート電極20下におけるエネルギーバンド構成を表すものであり、ゲート電圧 V_g を印加していない状態を表している。なお、ここでは、第2の障壁層13および第3の障壁層121を $Al_{0.2}Ga_{0.8}As$ 混晶によりそれぞれ構成し、障壁層115をGaAsにより構成し、チャンネル層14を $In_{0.2}Ga_{0.8}As$ 混晶により構成した場合について表している。

【0060】この半導体装置は、第1の実施の形態と同様に、第1の障壁層115にp型低抵抗領域15cが設けられており、ショットキー障壁を用いる場合に比べてビルトイン電圧が大きくなっている。また、チャネル層14と第1の障壁層115との間に第3の障壁層121が形成されており、ゲート電圧 V_g を例えば1.2V以上印加しても、チャネル層14から見たゲート電極20方向の障壁は、ゲートリーク電流を抑制するに十分な高さを保つことができるようになっている。

【0061】更に、チャネル層14と第3の障壁層121との伝導帯端の不連続量 ΔE_c が十分に大きく（ここでは0.31eV）、第3の障壁層121のポテンシャル極小点とチャネル層14内における電子のフェルミ準位の差も十分に大きく（ここでは0.20eV以上）なるように構成されており、第3の障壁層121内に分布する電子数はチャネル層14内に分布する電子数に比べて無視できる程度に少なくなっている。

【0062】なお、このような構成を有する半導体装置は、第1の実施の形態と同様に動作し、同様にして製造することができ、同様に用いられる。

【0063】このように本実施の形態に係る半導体装置によれば、第1の障壁層115を例えばGaAsにより構成するようにしたので、p型不純物である亜鉛の拡散速度を遅くすることができ、p型低抵抗領域15cを制御性よく形成することができる。

【0064】また、第1の障壁層115とチャネル層14との間に第3の障壁層121を備えるようにしたので、第1の障壁層115をGaAsにより構成してもゲートリーク電流を十分に抑制することができる。

【0065】（第3の実施の形態）図10は本発明の第3の実施の形態に係る半導体装置の構成を表すものである。この半導体装置は、第1の実施の形態における第2の障壁層13、チャネル層14および第1の障壁層15に代えて、第2の障壁層213、チャネル層214および第1の障壁層215をそれぞれ備えたことを除き、他は第1の実施の形態と同一の構成および効果を有している。よって、第1の実施の形態と同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0066】第2の障壁層213は、第1の実施の形態における第2の障壁層13からキャリア供給領域13aが削除されたことを除き、他は第1の実施の形態における第2の障壁層13と同一の構成を有している。チャネル層214は、シリコンなどのn型不純物を含むことを除き、他は第1の実施の形態におけるチャネル層14と同一の構成を有している。チャネル層214におけるn型不純物の濃度は最大ドレイン電流 I_{dmax} に応じて適宜決定される。ここでは、例えば $2.0 \times 10^{18} \text{ cm}^{-3}$ 程度添加されている。第1の障壁層215は、第1の実施の形態における第1の障壁層15からキャリア供給領域15aが削除されたことを除き、他は第1の実施の

形態における第1の障壁層15と同一の構成を有している。

【0067】図11はこの半導体装置のゲート電極20下におけるエネルギーバンド構成を表すものであり、ゲート電圧 V_g を印加していない状態を表している。なお、ここでは、第2の障壁層213および第1の障壁層215をAl_{0.2}Ga_{0.8}As混晶によりそれぞれ構成し、チャネル層214をIn_{0.2}Ga_{0.8}As混晶により構成した場合について表している。

【0068】この半導体装置は、第1の実施の形態と同様に、ショットキー障壁を用いる場合に比べてビルトイン電圧が大きくなっている。また、ゲート電圧 V_g を例えば1.2V以上印加しても、チャネル層214から見たゲート電極20方向の障壁は、ゲートリーク電流を抑制するに十分な高さを保つことができるようになっている。

【0069】なお、このような構成を有する半導体装置は、第1の実施の形態と同様に動作し、同様にして製造することができ、同様に用いられる。

20 【0070】このように本実施の形態に係る半導体装置によれば、第2の障壁層213および第1の障壁層215にキャリア供給領域を設けることなく、チャネル層214が不純物を含むように構成したので、簡単な構成により第1の実施の形態に係る半導体装置と同等の効果をすることができる。また、最大ドレイン電流 I_{dmax} を大きくするためにチャネル層214の不純物濃度を大きくしても、第2の障壁層213および第1の障壁層215の不純物濃度は低いので、電子が第2の障壁層213および第1の障壁層215内に蓄積して走行することではなく、それによる相互コンダクタンス G_m の劣化を防止することができる。

【0071】（第4の実施の形態）図12は本発明の第4の実施の形態に係る半導体装置の構成を表すものである。この半導体装置は、第3の実施の形態に加えてチャネル層214と第1の障壁層215との間に第3の障壁層321を備えたことを除き、他は第3の実施の形態と同一の構成および効果を有している。よって、第3の実施の形態と同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

40 【0072】但し、第1の障壁層215は、例えば、GaAsにより構成されることが好ましい。これは、p型不純物である亜鉛の拡散速度がAlGaAs混晶の中よりもGaAsの中の方が遅いので、p型低濃度領域15cを容易に形成することができるからである。

50 【0073】第3の障壁層321は、ゲートリーク電流を抑制するためのものであり、第1の障壁層215およびチャネル層214をそれぞれ構成する各III-V族化合物半導体よりも広いバンドギャップを有するIII-V族化合物半導体により構成されている。例えば、この第3の障壁層321は、III族元素におけるアルミ

ニウムの組成比が0.2である高抵抗の $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成されている。第3の障壁層321の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましく、比抵抗は $1 \times 10^{-2} \Omega \text{ cm}$ 以上であることが好ましい。

【0074】図13はこの半導体装置のゲート電極20下におけるエネルギーバンド構成を表すものであり、ゲート電圧 V_g を印加していない状態を表している。なお、ここでは、第2の障壁層213および第3の321を $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶によりそれぞれ構成し、第1の障壁層215を GaAs により構成し、チャネル層214を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成した場合について表している。

【0075】この半導体装置は、第3の実施の形態と同様に、ショットキー障壁を用いる場合に比べてビルトイン電圧が大きくなっている。また、チャネル層214と第1の障壁層215との間に第3の障壁層321が形成されており、ゲート電圧 V_g を例えば1.2V以上印加しても、チャネル層214から見たゲート電極20方向の障壁は、ゲートリーク電流を抑制するに十分な高さを保つことができるようになっている。

【0076】なお、このような構成を有する半導体装置は、第1の実施の形態と同様に動作し、同様に製造することができ、同様に用いられる。

【0077】このように本実施の形態に係る半導体装置によれば、第1の障壁層215を例えば GaAs により構成するようにしたので、p型不純物である亜鉛の拡散速度を遅くすることができ、p型低抵抗領域15cを制御性よく形成することができる。

【0078】また、第1の障壁層215とチャネル層214との間に第3の障壁層321を備えるようにしたので、第1の障壁層215を GaAs により構成してもゲートリーク電流を十分に抑制することができる。

【0079】(第5の実施の形態) 図14は、本発明の第5の実施の形態に係る半導体装置の構成を表すものである。この半導体装置は、第1の実施の形態における第1の障壁層15に代えて第1の障壁層415を備えると共に、キャップ層16a、16bがそれぞれ削除されソース電極18およびドレイン電極19が高抵抗領域15bに接してそれぞれ形成されたことを除き、他は第1の実施の形態と同一の構成および効果を有している。よって、第1の実施の形態と同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0080】第1の障壁層415は、p型低抵抗領域415cが高抵抗領域15bよりもゲート電極20の側に突出して形成されたことを除き、他は第1の実施の形態における第1の障壁層15と同一の構成を有している。なお、このp型低抵抗領域415cは、例えば、ベリリウム(Be)、炭素(C)および亜鉛からなるうちの少なくとも1種をp型不純物として添加したエピタキシャル

ル成長により形成されたものである。

【0081】また、図15にこの半導体装置のドレイン電流 I_d とゲート電圧 V_g との関係を示し、図16に相互コンダクタンス G_m とゲート電圧 V_g との関係を示す。ちなみに、ここでは、第2の障壁層13および第1の障壁層415を $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶によりそれぞれ構成し、チャネル層14を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成した場合について示している。

【0082】このように、この半導体装置は、閾値電圧 V_{th} が-0.3V程度と浅く、1.5Vまでゲート電圧 V_g を印加することができ、かつゲート電圧 V_g が0.3V~1.3V程度の広い範囲において相互コンダクタンス G_m のゲート電圧 V_g に対する依存性が少ないという特性を有している。すなわち、従来のJFETと同等またはそれ以上に単一正電源による動作が容易となり、かつ電力付加効率 η が高くなっている。

【0083】このような構成を有する半導体装置は、次のようにして製造することができる。

【0084】図17および図18はその各製造工程を表すものである。まず、図17(a)に示したように、第1の実施の形態と同様に、例えば、 GaAs よりなる基板11の上に、u- GaAs よりなるバッファ層12、u- AlGaAs 混晶よりなる高抵抗領域13b、n型 AlGaAs 混晶よりなるキャリア供給領域13a、u- AlGaAs 混晶よりなる高抵抗領域13b、u- InGaAs 混晶よりなるチャネル層14、u- AlGaAs 混晶よりなる高抵抗領域15b、n型 AlGaAs 混晶よりなるキャリア供給領域15aおよびu- AlGaAs 混晶よりなる高抵抗領域15bを順次エピタキシャル成長させる。

【0085】次いで、同じく図17(a)に示したように、高抵抗領域15bの上に、ベリリウム、炭素および亜鉛からなるうちの少なくとも1種をp型不純物として添加したp型低抵抗領域415cとなるp型 AlGaAs 層432をエピタキシャル成長させる。このように、p型低抵抗領域415cを不純物の拡散ではなくエピタキシャル成長により形成するのは、不純物の拡散により形成する場合には拡散の際における温度のばらつきによりp型低抵抗領域415cの厚さにばらつきが生じてしまうのに対して、厚さを精度良く制御することができるからである。

【0086】続いて、図示しないが、メサエッチングにより素子間分離を行う。そののち、図17(b)に示したように、p型 AlGaAs 層432の上に、p型低抵抗領域415cの形成領域に対応してレジスト膜433を選択的に塗布形成し、このレジスト膜433をマスクとして例えば異方性エッチングを行い、p型 AlGaAs 層432を選択的に除去する。これにより、p型低抵抗領域415cが形成される。

【0087】p型低抵抗領域415cを形成したのち、

図18に示したように、p型低抵抗領域415および高抵抗領域15bの上に、第1の実施の形態と同様にし、窒化珪素膜を蒸着し絶縁膜17を形成する。絶縁膜17を形成したのち、第1の実施の形態と同様に、p型低抵抗領域415cに対応して絶縁膜17に開口17cを開け、ゲート電極20を選択的に形成する。そののち、第1の実施の形態と同様に、p型低抵抗領域415cを間に挟むように絶縁膜17に開口17a、17bをそれぞれ開け、ソース電極18およびドレイン電極19をそれぞれ選択的に形成し、図14に示した半導体装置を完成させる。

【0088】また、この半導体装置は、第1の実施の形態と同様に動作し、同様に用いられる。

【0089】このように本実施の形態によれば、p型低抵抗領域415cをエピタキシャル成長により形成するようにしたので、p型低抵抗領域415cの厚さを高い精度で制御することができる。よって、拡散により形成する場合には、基板11内における温度のばらつきや温度制御におけるばらつきによりp型低抵抗領域415cの厚さがばらついてしまい、それにより閾値電圧がばらついてしまうのに対して、閾値電圧のばらつきを改善することができる。

【0090】なお、ここでは詳細に説明しないが、本実施の形態に係る半導体装置についても、第2乃至第4の実施の形態と同様に構成することもできる。

【0091】以上、各実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されるものではなく、種々変形することができる。例えば、上記実施の形態においては、閾値電圧 V_{th} が浅いディプレッション型のものについて具体的に説明したが、本発明は、エンハンスメント型のものにも適用することができる。

【0092】また、上記各実施の形態においては、第1導電型低抵抗領域をp型不純物を含むp型低抵抗領域15c、415cにより構成する場合について説明したが、n型不純物を含むn型低抵抗領域により構成するようにしてもよい。この場合、第1導電型不純物がn型不純物となり、第2導電型不純物がp型不純物となり、キャリア供給領域13a、15a、121aおよびチャネル層214はn型不純物に代えてp型不純物をそれぞれ含む。なお、この場合、チャネル層14、214にキャリアとして正孔が蓄積され走行することを除き、上記各実施の形態と同様の構成を有し、同様に動作する。

【0093】更に、上記各実施の形態においては、チャネル層14、214における第1の障壁層15、115、215、415の反対側に第2の障壁層13、213を備えるようにしたが、本発明は、第2の障壁層13、213を備えていないものも含んでいる。

【0094】加えて、上記第1および第2および第5の実施の形態においては、第2の障壁層13および第1の

障壁層15、415の両方または第2の障壁層13および第3の障壁層121の両方にキャリア供給領域13a、15a、121aを設けるようにしたが、第2の障壁層13か第1の障壁層15、415のいずれか一方のみ、または第2の障壁層13か第3の障壁層121のいずれか一方のみにキャリア供給領域を設けるようにしてもよい。

【0095】更にまた、上記第3および第4の実施の形態においては、第1の障壁層215を例えばGaAsにより構成することが好ましいが、III族元素におけるアルミニウムの組成比が低いAlGaAs混晶により構成するようにしてもよい。

【0096】加えてまた、上記各実施の形態においては、第1の障壁層15、115、215、415の全体を同一の材料および組成を有する半導体により構成するようにしたが、特に、第5の実施の形態においては、p型低抵抗領域（第1導電型低抵抗領域）415cを高抵抗領域15bおよびキャリア供給領域15aと異なる組成または材料の半導体により構成するようにしてもよい。

【0097】更にまた、上記各実施の形態においては、各構成要素を構成するIII-V族化合物半導体を具体的に挙げて説明したが、他のIII-V族化合物半導体によりそれぞれ構成するようにしてもよい。また、III-V族化合物半導体以外の他の半導体によりそれらをそれぞれ構成するようにしてもよい。

【0098】

【発明の効果】以上説明したように請求項1乃至請求項24のいずれか1に記載の半導体装置によれば、チャネル層とゲート電極との間に、チャネル層を構成する半導体よりも広いバンドギャップを有する半導体よりなる高抵抗領域とゲート電極に対応して設けられた第1導電型低抵抗領域とを有する第1の障壁層を備えるようにしたので、相互コンダクタンスおよびゲート・ソース間容量のゲート電圧に対する線形性を向上させることができると共に、ビルトイン電圧を高くすることができ、かつ寄生抵抗成分が残存せずいわゆるソース抵抗を低くすることができる。よって、電力付加効率を高めることができると共に、単一電源により容易に動作させることができるという効果を奏する。

【0099】特に、請求項4に記載の半導体装置によれば、第1導電型低抵抗領域を高抵抗領域に対して埋め込むようにしたので、ゲート電極とドレイン電極との間の耐圧を向上させることができるという効果を奏する。

【0100】また、請求項7に記載の半導体装置によれば、第1導電型低抵抗領域がエピタキシャル成長により形成されるようにしたので、第1導電型低抵抗領域の厚さを高い精度で制御することができる。よって、閾値電圧のばらつきを改善することができるという効果を奏する。

【0101】更に、請求項11乃至請求項15のいずれか1に記載の半導体装置によれば、第1の障壁層をAlGaAs混晶により構成するようにしたので、従来のGaAsを用いたJFETよりも大きなビルトイン電圧を得ることができ、より高い効果を得ることができるという効果を奏する。

【0102】加えて、請求項20乃至請求項23のいずれか1に記載の半導体装置によれば、第1の障壁層とチャネル層との間に第3の障壁層を備えるようにしたので、例えば、第1の障壁層をAlGaAs混晶よりもバンドギャップが狭いGaAsにより構成しても、ゲートリーク電流を十分に抑制することができる。よって、第1の障壁層を第1導電型不純物の拡散速度が遅いGaAsにより構成することができ、第1導電型低抵抗領域15cを制御性よく形成することができるという効果を奏する。

【0103】更にまた、請求項24に記載の半導体装置によれば、チャネル層が第2導電型不純物を含むように構成したので、構成を簡単とすることができるという効果を奏する。また、最大ドレイン電流 I_{dmax} を大きくするためにチャネル層の第2不純物濃度を大きくしても、第2の障壁層および第1の障壁層における不純物濃度は低いので、キャリアが第2の障壁層および第1の障壁層内に蓄積して走行することはなく、それによる相互コンダクタンス G_m の劣化を防止することができるという効果を奏する。

【0104】請求項25乃至請求項28のいずれか1に記載の半導体装置の製造方法によれば、チャネル層とゲート電極との間に、チャネル層を構成する半導体よりも広いバンドギャップを有する半導体よりなる高抵抗領域とゲート電極に対応して設けられた第1導電型低抵抗領域とを有する第1の障壁層を形成するようにしたので、本発明の半導体装置を容易に形成することができる。よって、本発明の半導体装置を容易に実現することができる。

【0105】請求項29または請求項30に記載の無線通信装置によれば、本発明の半導体装置を備えるようにしたので、高い電力付加効率を得ることができると共に、単一正電源により容易に動作させることができる。よって、無線通信装置の大きさを小さくできると共に、その消費電力を少なくすることができるという効果を奏する。すなわち、特に、携帯通信端末において、装置の小型化および使用時間の延長が可能となり、携帯を更に容易とすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の構成を表す断面図である。

【図2】図1に示した半導体装置のエネルギーバンド構成図であり、ゲート電極に電圧を印加していない状態のものである。

【図3】図1に示した半導体装置のエネルギーバンド構成図であり、ゲート電極に正電圧を印加している状態のものである。

【図4】図1に示した半導体装置におけるゲート電圧 V_g とドレイン電流 I_d との関係を表す特性図である。

【図5】図1に示した半導体装置におけるゲート電圧 V_g と相互コンダクタンス G_m との関係を表す特性図である。

【図6】図1に示した半導体装置の動作を説明するための断面図である。

【図7】図1に示した半導体装置の各製造工程を表す断面図である。

【図8】本発明の第2の実施の形態に係る半導体装置の構成を表す断面図である。

【図9】図8に示した半導体装置のゲート電極に電圧を印加していない状態におけるエネルギーバンド構成図である。

【図10】本発明の第3の実施の形態に係る半導体装置の構成を表す断面図である。

【図11】図10に示した半導体装置のゲート電極に電圧を印加していない状態におけるエネルギーバンド構成図である。

【図12】本発明の第4の実施の形態に係る半導体装置の構成を表す断面図である。

【図13】図12に示した半導体装置のゲート電極に電圧を印加していない状態におけるエネルギーバンド構成図である。

【図14】本発明の第5の実施の形態に係る半導体装置の構成を表す断面図である。

【図15】図14に示した半導体装置におけるゲート電圧 V_g とドレイン電流 I_d との関係を表す特性図である。

【図16】図14に示した半導体装置におけるゲート電圧 V_g と相互コンダクタンス G_m との関係を表す特性図である。

【図17】図14に示した半導体装置の各製造工程を表す断面図である。

【図18】図17に続く製造工程を表す断面図である。

【図19】従来のJFETの構成を表す断面図である。

【図20】従来のMESFETの構成を表す断面図である。

【図21】従来のHFETの構成を表す断面図である。

【図22】図16に示したHFETの動作を説明するための断面図である。

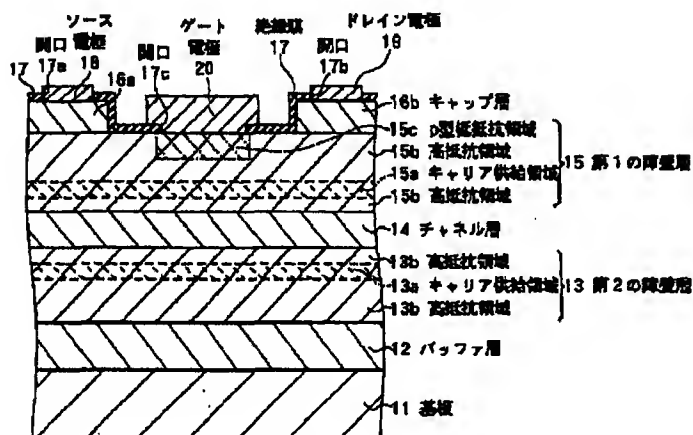
【符号の説明】

11…基板、12…バッファ層、13、213…第2の障壁層、13a…キャリア供給領域、13b…高抵抗領域、14、214、514、614…チャネル層、15、151、215、415、715…第1の障壁層、15a…キャリア供給領域、15b…高抵抗領域、15

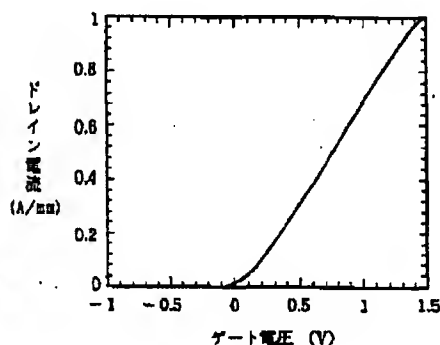
c, 415c...p型低抵抗領域(第1導電型低抵抗領域)、16a, 16b...キャップ層、17...絶縁膜、17a, 17b, 17c...開口、18...ソース電極、19...ドレイン電極、20...ゲート電極、31...n型GaAs*

*s層、121, 321...第3の障壁層、121a...キャリア供給領域、121b...高抵抗領域、432...p型AlGaAs層、433...レジスト膜、541, 641...p型層、542...p型領域、543, 643...空乏層

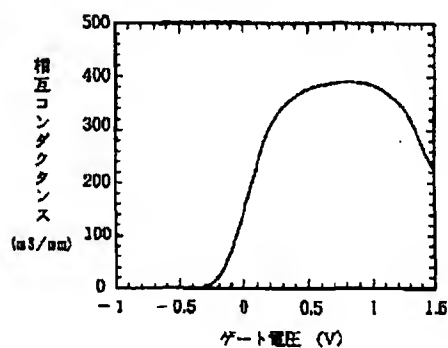
【図1】



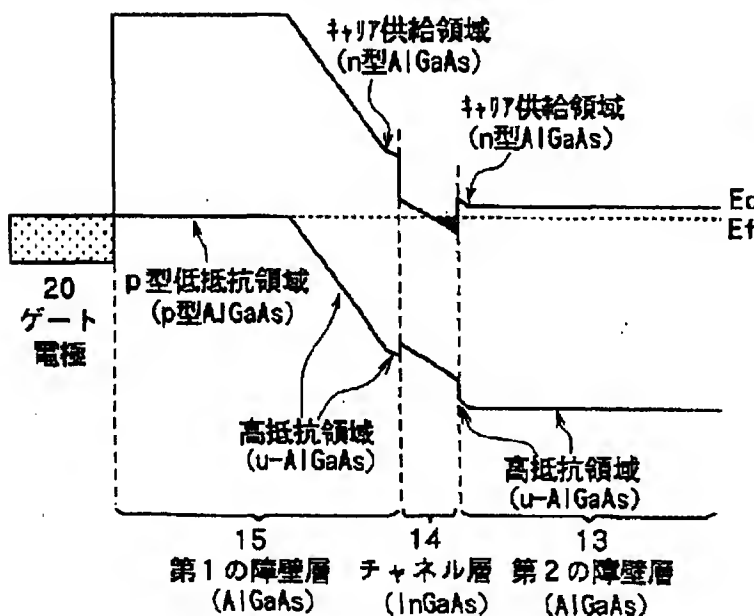
【図15】



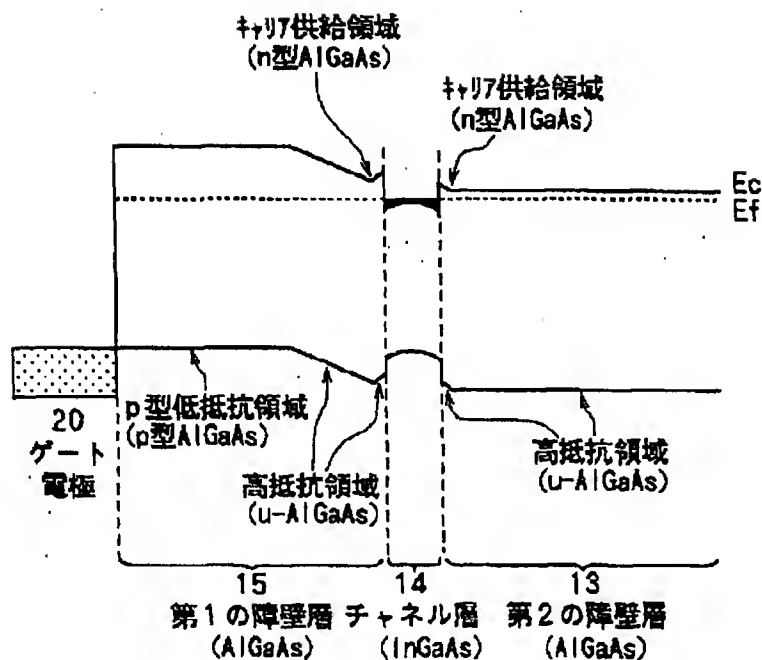
【図16】



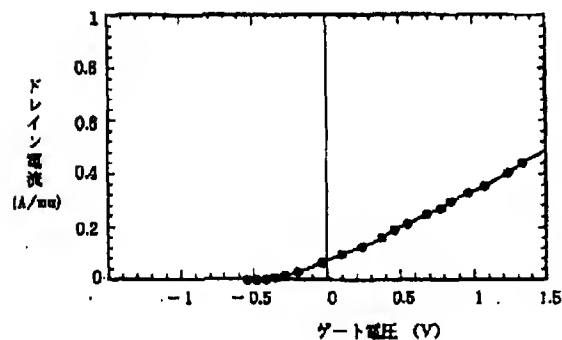
【図2】



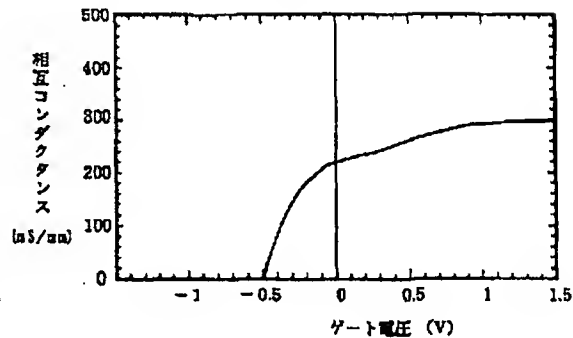
【図3】



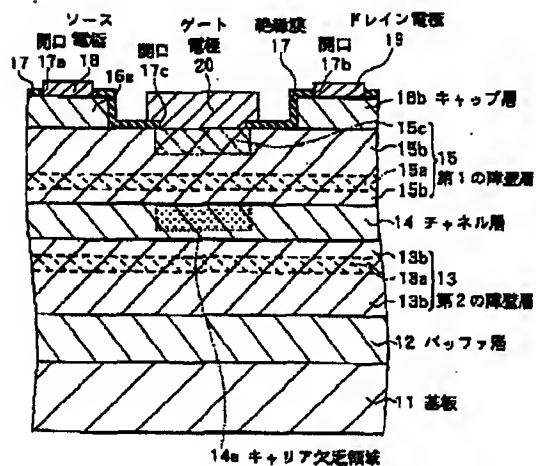
【図4】



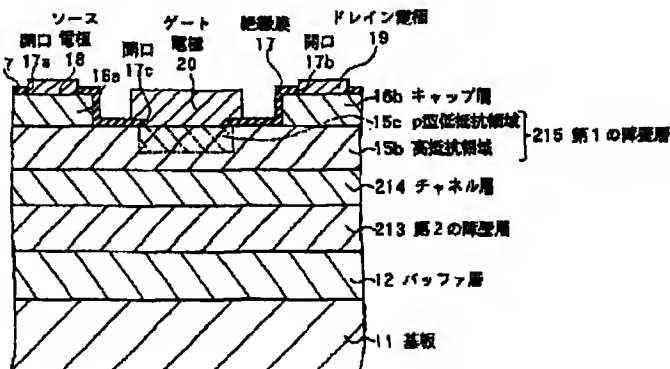
【図5】



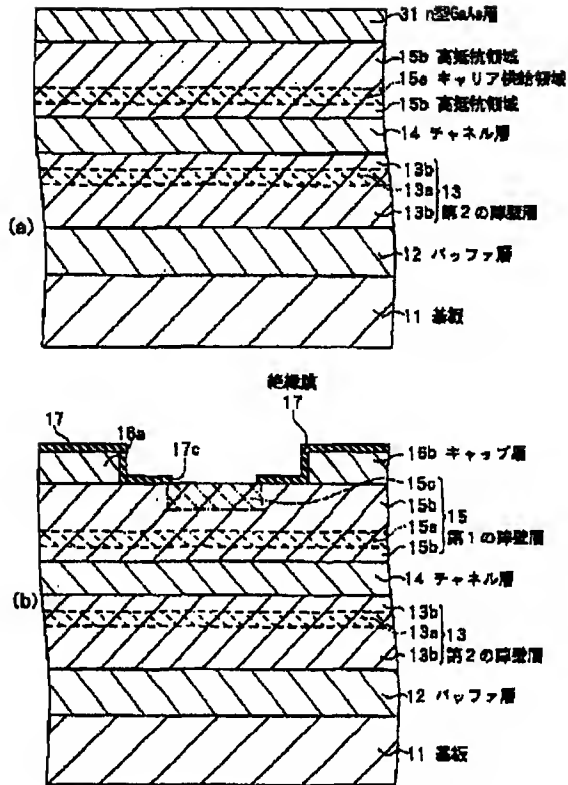
【図6】



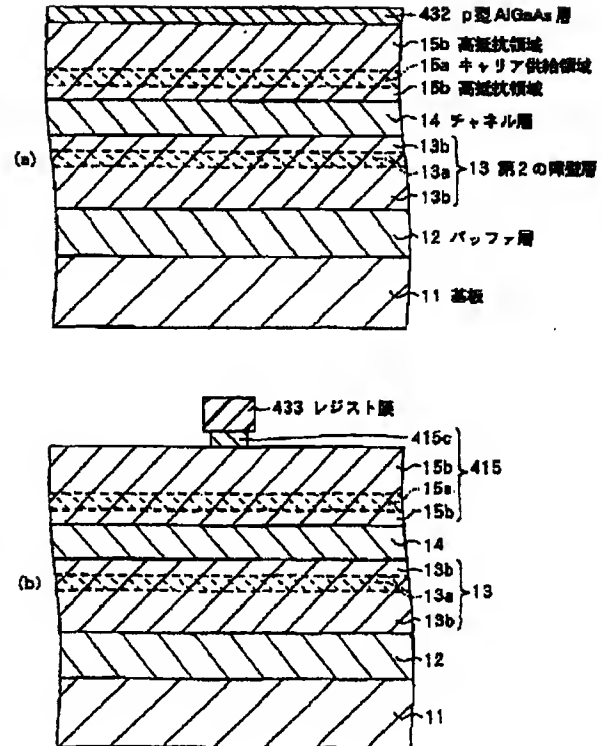
【図10】



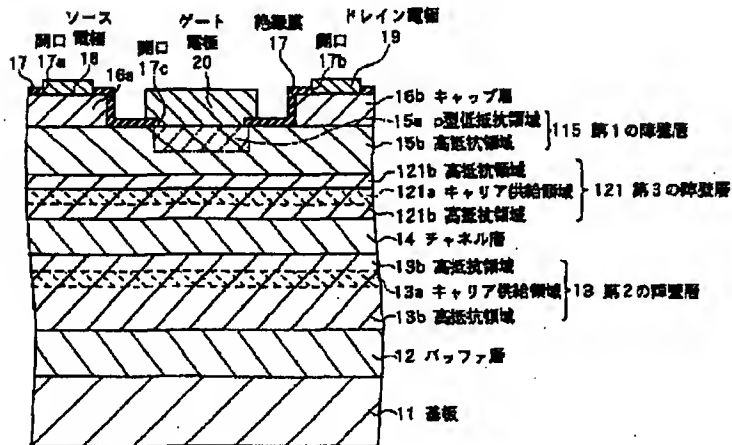
【図7】



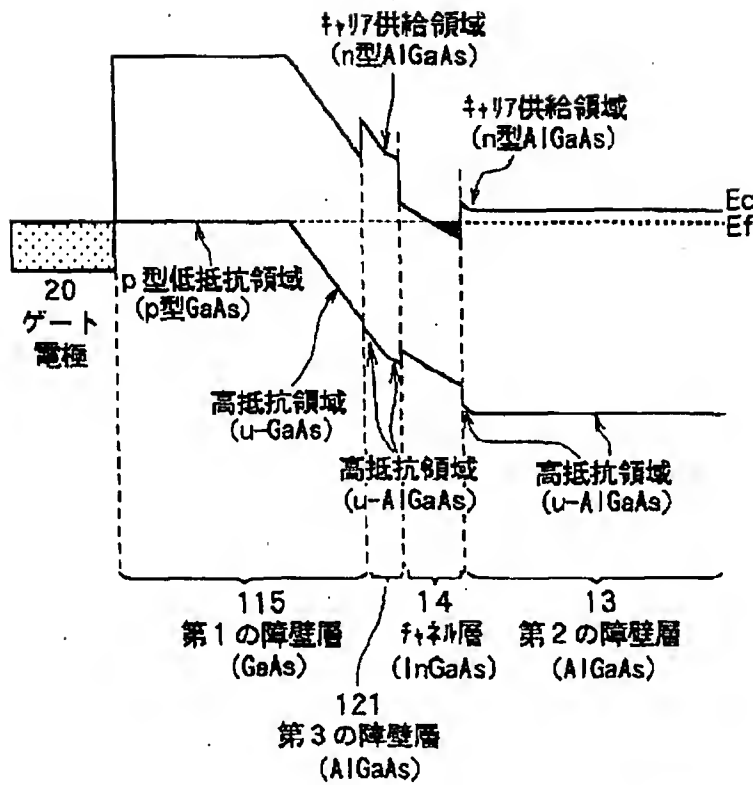
【図17】



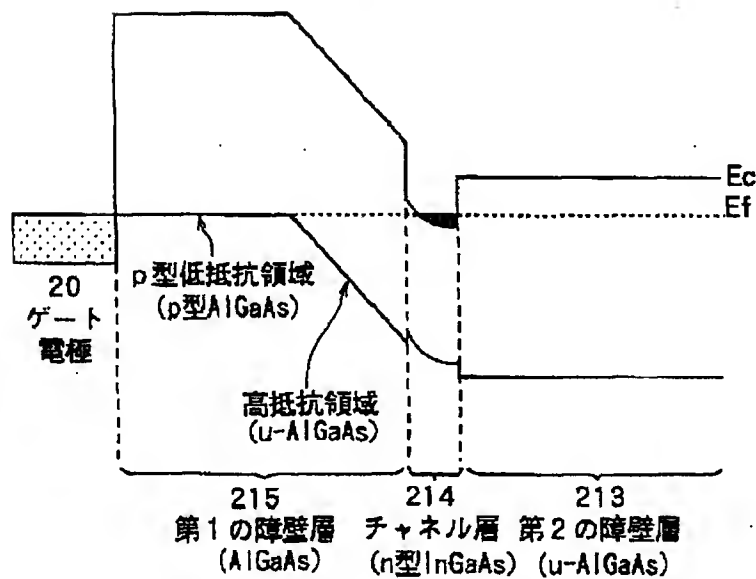
【図8】



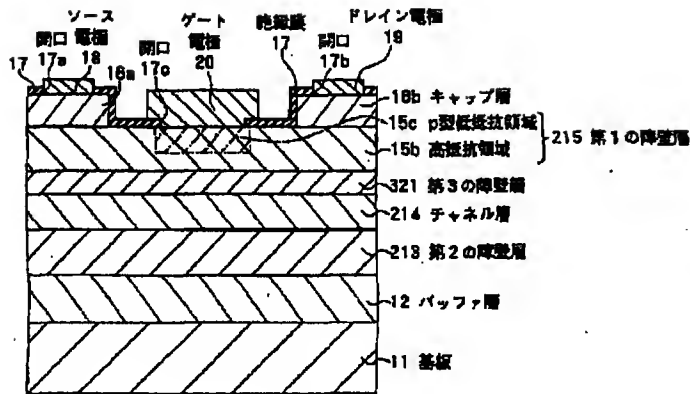
【図9】



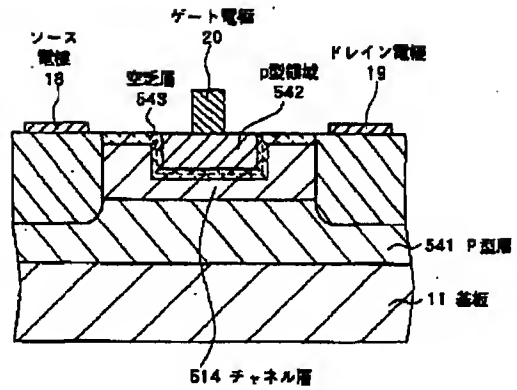
【図11】



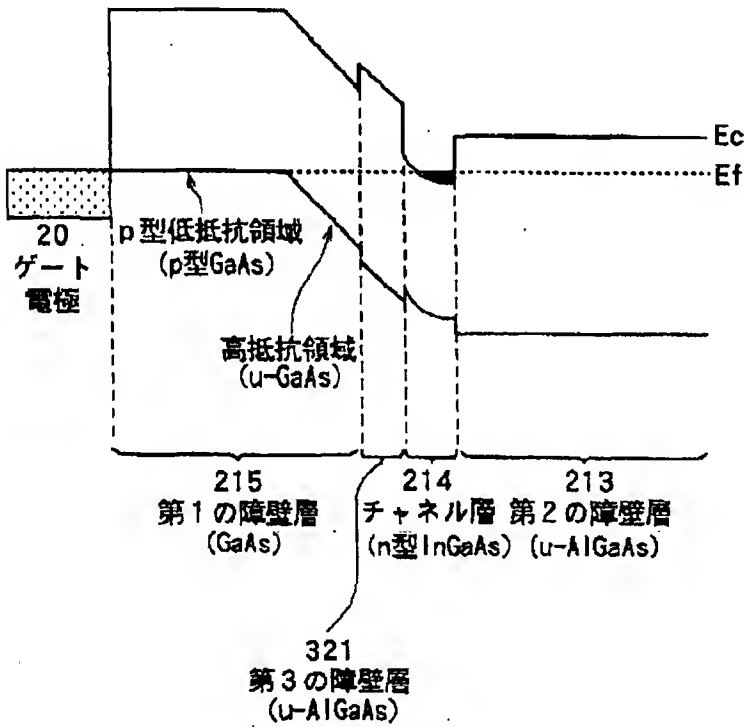
【図12】



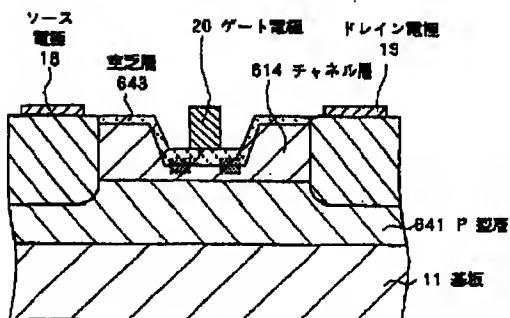
【図19】



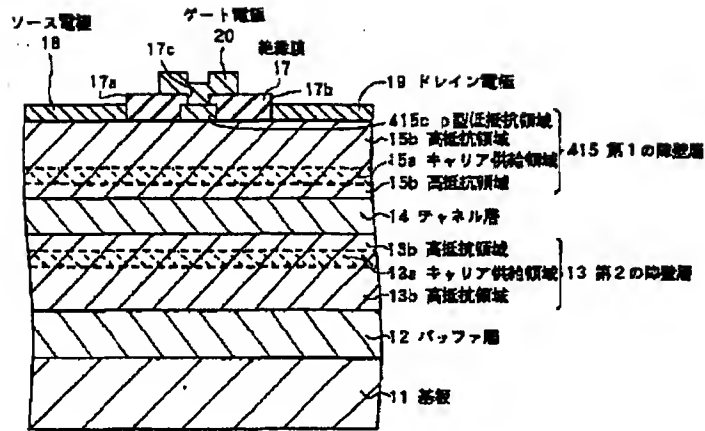
【図13】



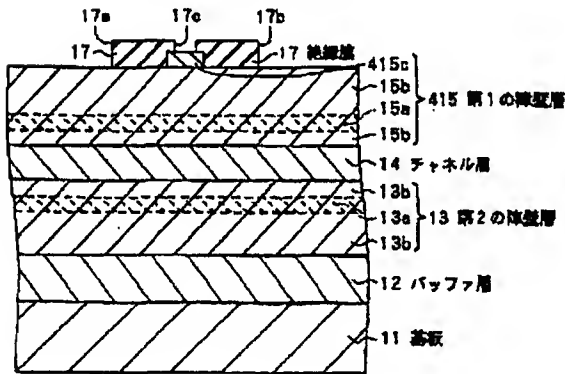
【図20】



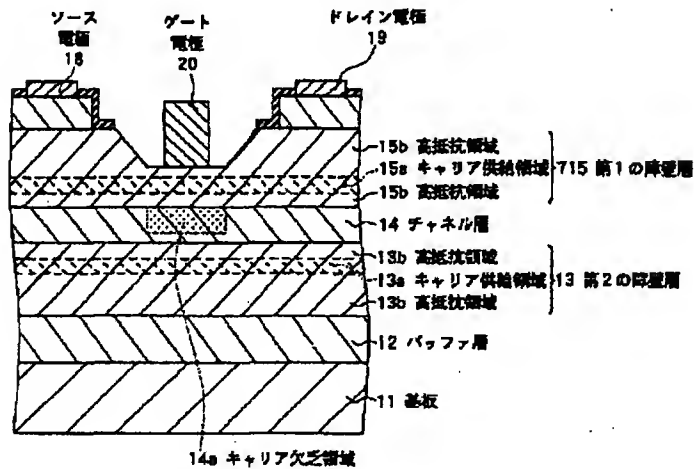
【図14】



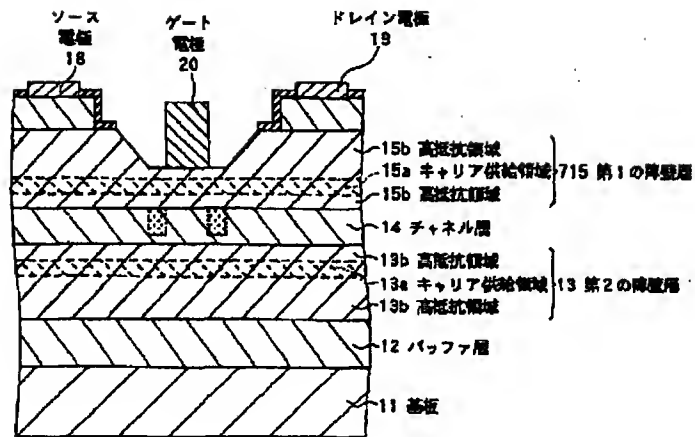
【図18】



【図21】



【図22】



フロントページの続き

(72)発明者 和田 伸一
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 塚本 弘範
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内